

Keerukate arvutisüsteemide uurimine Tallinna Tehnikaülikoolis

Gert Jervan, Peeter Ellervee, Raimund Ubar

Tallinna Tehnikaülikool, arvutitehnika instituut

Sissejuhatus

1958. aasta juulis nägi Texas Instrument' i laboris ilma valgust maailma esimene integraalskeem. See, ühest transistorist ja paarist teisest komponendist koosnev germaaniumitükike, võeti tollel hetkel vastu teatava skeptisismiga ning esimesed integraalskeeme sisaldavad seadmed loodi alles 1961. aastal. Vähesed oskasid arvata, et Jack Kilby leiutisel võib olla kaugeleulatuv mõju ja suur tulevik. Kuid tänapäeval on maailma elektroonikatööstus, oma 1150 miljardi USD suuruse turukapitalisatsiooniga, tõusmas maailma suurimaks tööstusharuks. Ning aastal 2000 tunnustati Jack Kilby tööd teadusmaailma ühe tähtsaima auhinnaga – Nobeli füüsikaauhinnaga.

Elektroonika ning arvutitehnika arengu iseloomustamiseks on sageli kasutatud Inteli asutaja Gordon Moore' i poolt 1965. aastal sõnastatud väidet (tuntud ka kui Moore' i seadus) mille kohaselt kiibil olevate komponentide arv kahekordistub iga 18 kuuga. Selle eelduseks on kiibikomponentide mõõtmete pidev vähenemine ning odavnemine. Tänapäeval (2006. a suveks) on välja töötatud tehnoloogiad, kus kiipide valmistamise täpsuseks on uskumatud 65 nanomeetrit (n.ö. 65 nm tehnoloogia). Võrdluseks võib tuua, et HIV viiruse läbimõõt on 120 nm ja punase verelible oma 6000-8000 nm. Moore' i seaduse esimeseks suuremaks komistuskiviks ennustatakse aega, kui kiibikomponendid kahanevad vaid kümnekonna aatomi suuruseks. Sealt alates on vaja fundamentaalselt uusi lahendusi, kuid vaadates praeguseid arenguid, kehtivad Moore' i seaduse põhimõtted veel umbes 10-20 aastat.

Eelpool kirjeldatud arengute tulemusena on olnud võimalik välja arendada üha keerukamaid tooteid, kus sama maksumuse ja füüsiliste dimensioonide juures on lõpptarbijal ligipääs väga laiale funktsionaalsusele. Näiteks võib tuua telekommunikatsiooniseadmed. Mobiiltelefonid pole ainult kõnede tegemiseks või tekstisõnumite saatmiseks – kolmanda põlvkonna mobiiltelefonid võimaldavad 3G võrgus pidada videokõnesid, vaadata reaajas televisiooniprogramme, rääkimata fotode tegemisest, ajaplaneerimisest ning muusika kuulamisest. Kõik see on integreeritud ühte pihku mahtuvasse seadmesse. Kui väidetavalt 1943. aastal arvas IBM' i tollaegne president Thomas Watson, et maailm vajab üldse vaid ehk viit arvutit, siis tänapäeval on arvutid, telekommunikatsioon ja laiatarbe elektroonika jõudnud kõikidesse eluvaldkondadesse, suurendades nii tootlikkust kui ka parandades meie igapäevast elukvaliteeti.

Arvutisüsteemide töökindlus

Veel üsna hiljuti käsitleti elektrooniliste süsteemide töökindluse temaatikat vaid kõrget veakindlust nõudvates valdkondades, nagu näiteks lennundus või meditsiin. Seoses elektroonika jõulise tungimisega kõikidesse

eluvaldkondadesse, on see aspekt saanud aga märksa laiemaks kõlapinna. Kui mõningatel juhtudel (nagu näiteks mittetöötav mobiiltelefon) võivad vead põhjustada vaid personaalset ebamugavust, siis missioonikriitilistes süsteemides, nagu näiteks pangandus- või telekommunikatsioonisüsteemides, võivad vead põhjustada ka väga suuri rahalisi kaotusi.

Et tagada süsteemi töökindlus, on vead vaja avastada enne kui ilmnevad nende vigade tagajärjed. Kuna vigade avastamine kaasaegsetes süsteemides on ülikeerukas ülesanne, tuleb sellega arvestada ja tegeleda juba ennetavalt nii süsteemi loomise kui ka tootmise käigus. Näiteks on juba süsteemi loomise varases staadiumis oluline kindlaks teha, et luuakse õiget süsteemi (vastavus esialgsele ideele) ja et süsteem luuakse õigesti (süsteemi võime pakkuda ettenähtud funktsionaalsust). Selliseid tegevusi nimetatakse üldisemalt *verifitseerimiseks ja valideerimiseks*. Samuti tuleb avastada tootmisprotsessi käigus tekkinud defektid. Defektide klassikaliseks näiteks on valesti ühendatud juhtmed või kontaktide vahele jäänud tolmuükübe. Defektide avastamiseks tuleb süsteemile ette anda kindlad sisendandmete kombinatsioonid ja analüüsida süsteemi väljundit. Kui väljund on erinev korrektselt toimiva süsteemi väljundist, võib öelda, et süsteem on vigane. Sellist tegevust nimetatakse laiemalt *riistvara testimiseks*. Testimist on võimalik kasutada ka süsteemi edasise eluea jooksul, et avastada rikkeid mis on põhjustatud keskkonna mõjudest (temperatuur, niiskus), elektromagneetilisest kiirgusest (kosmilised osakesed), kulumisest, vananemisest jms.

Testimine, diagnostika ja parandamine moodustavad juba tänapäeval 40-50% süsteemide tootmiskuludest. "International Technology Roadmap for Semiconductors" (ITRS)¹ ennustab dekaadi lõpuks aga selliste kiipsüsteemide teket, mis koosnevad neljast miljardist 50-nm tehnoloogia transistorist, opereerivad kiirusel üle 10 GHz ja pingel alla 1 V. Selliseid nanostruktuuridel põhinevaid kiipsüsteeme võivad hakata häirima uut tüüpi vead ja rikked, mis teeksid taolised süsteemid mittesobivaks veakriitilistes rakendustes, niikaua kuni süsteemi ei ole teadlikult sisse ehitatud veakindluse garanteerimise ja rikete kompenseerimise mehhanisme. See paneb pooljuhtide tööstuse tõenäoliselt olukorda, kus ühe transistori testimine osutub peatselt kallimaks kui selle tootmine ning seoses süsteemide keerukuse ja elementide tiheduse kasvuga muutub testimine digitaalsüsteemide loomis- ja tootmisprotsessi üheks kriitilisemaks osaks.

Saamaks paremat ettekujutust keerukate arvutisüsteemide alastest teadustööst, kirjeldame järgnevalt digitaalsüsteemide disaini- ja tootmisvoogu, tutvustades selle voo põhilisi tegevusi ja tulemusi. Seejärel tutvustame Tallinna Tehnikaülikooli arvutitehnika instituudi seniseid saavutusi nii arvutisüsteemide sünteesi, veakindluse kui ka testimise valdkonnas. Peatume arvutisüsteemide sünteesi ja analüüsi hetkeprobleemidel,

¹ <http://www.itrs.net/>

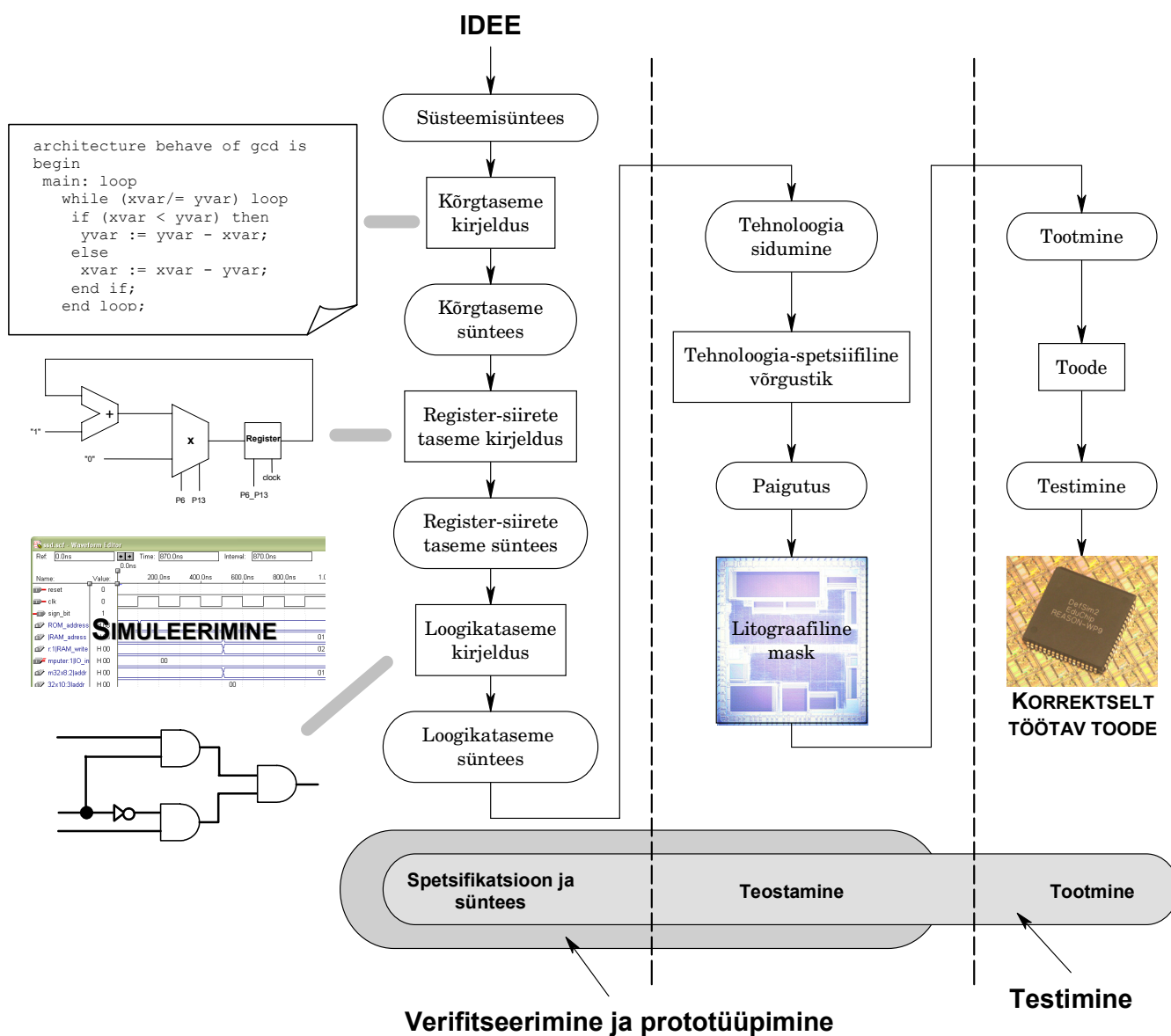
kirjeldame teoksil olevat teadustööd nii digitaalsüsteemide disaini kui ka testi valdkonnas, ning loetleme tähtsamaid ees seisvaid probleeme.

Keerukate digitaalsüsteemide loomine ja tootmine

Ülisuurte integraalskeemide arendamise ja tootmise võib jagada kolme faasi: spetsifitseerimine ja süntees, teostamine ning tootmine (Joonis 1). *Spetsifitseerimise ja sünteesi* faasis kirjeldatakse loodavat süsteemi. Seda on võimalik teostada erinevatel abstraktsioonitasemetel: funktsionaalsel-, register-siirete või loogika tasemel, kasutades erinevaid kirjeldamise keeli, nagu näiteks VHDL, Verilog, SystemC jt. Igal abstraktsioonitasemel on loodava süsteemi kohta saadaval erinev kogus informatsiooni. Alati on ära kirjeldatud loodava süsteemi funktsionaalsus, kuid madalamatel tasemetel lisandub sellele täiendav tehnoloogiline informatsioon, mida on vaja süsteemi hilisemaks tootmiseks. Süsteemi kirjelduse teisendamisel ühelt abstraktsioonitasemelt teisele kasutatakse

erinevaid sünteesialgoritme ning tüüpiliselt eristatakse järgnevaid sünteesimise samme (alustades kõrgeimalt abstraktsioonitasemelt):

1. Süsteemisüntees: Kõrgeimal abstraktsioonitasemel kasutatakse süsteemi kirjeldamiseks tavaliselt funktsionaalset kirjeldust, koos erinevate piirangute ja nõudmistega süsteemi teostamiseks. Sellised kirjeldused võivad olla esitatud tavalise tehnilise dokumendina ning eesmärgiks on kõikide süsteemile esitatavate nõuete võimalikult täpne kirjeldamine. Süsteemisünteesi peamine eesmärk on jaotada süsteem väiksemateks alamsüsteemideks (kommunikeeruvateks protsessideks), mida on kergem hõlmata, luua nendele liidesed ja paika panna protsesside vaheliseks suhtluseks kasutatavad protokollid. Lisaks tuleb igale protsessile luua ka käitumuslik kõrgtaseme mudel, mida saaks kasutada sisendiks kõrgtaseme sünteesile.
2. Kõrgtaseme süntees kasutab sisendina kirjeldusi, kus on ära kirjeldatud erinevad operatsioonid, mida teostada, et saada soovitud väljund etteantud sisendite juures.



Joonis 1. Digitaalsüsteemide disaini- ja tootmisvoog

Riistvara kõrgtaseme kirjelduselemendid on sarnased programmeerimiskeeltes kasutatavatele, sisaldades muuhulgas erinevaid kontrollstruktuure ja muutujaid, koos nendele rakendatavate operatsioonidega. Samamoodi sarnaneb riistvara kõrgtaseme kirjelduste loomine programmeerimisele. Tuleb kirjutada programm, mida oleks võimalik kompileerida. Erinevus tuleb vaid sellest, et siin kompileeritakse kirjeldusest riistvara moodulid. Sellist ränikompileerimist nimetataksegi kõrgtaseme sünteesiks. Kõrgtaseme sünteesi kolm peamist alamülesannet on:

- ressursside hõivamine (vajalike komponentide tüüpide, nagu näiteks liitjad, võrdlejad jms. valimine),
- planeerimine (igale operatsioonile sobiliku ajahetke määramine) ja
- sidumine (operatsiooni sidumine selle täitmiseks sobiva funktsionaalse sõlmega).

Kõrgtaseme sünteesi väljundiks on süsteemi kirjeldus register-siirete tasemel, kus disain on jaotatud kontrollosaks ja andmeosaks. Andmeosa, mis tüüpiliselt koosneb funktsionaalsetest blokkidest, mälust ja nendevahelistest ühendustest, teostab operatsioone sisendandmetega, et saavutada ettenähtud väljund. Kontrollosa kontrollib aga andmete töötlemise järjekorda ning on tavaliselt esitatud oleku-siirete tabelina, mida on võimalik hilisemates sünteesimise sammudes kasutada kontrolleri sünteesimiseks.

3. Register-siirete taseme süntees kasutab sisendina register-siirete taseme kirjeldust, mis on jaotatud kontrollosaks ja andmeosaks. Sellel sammul täpsustatakse komponentide sisestruktuuri arvestades ette antud viite ja/või suuruse piiranguid. Kontrollosa jaoks toimub aga vajaliku kontrolleri süntees, luues sobilik kontrolleri arhitektuur, kasutades sisendina eelnevalt genereeritud olekuid ja olekute siirdeid.
4. Loogikataseme süntees saab endale sisendiks tehnoloogiast sõltumatu süsteemi kirjelduse, mis koosneb kombinatoorsetest komponentidest ja mälu elementidest. Sellel sammul tegeletakse süsteemi täiendava optimeerimise ja loogika minimiseerimisega. Tulemuseks on süsteemi kirjeldus loogikalülide tasemel.

Teostamine

Teostamise faasis luuakse spetsifikatsioonis kirjeldatud funktsioonide täitmiseks vajalike komponentide skeemid ja disainist luuakse litograafilised maskid, kus on ära määratud transistoride ja neid ühendavate traatide paiknemine toodetavas kiibis. Disaini teisendamiseks loogikalülide tasemelt füüsilisele tasemele algab tehnoloogia sidumine. Selle sammu sisendiks on skeem abstraktsetest loogikaelementidest (tehnoloogiast sõltumatu), konkreetse tehnoloogia põhikomponentide teek ja erinevad disainile seatud piirangud (nagu näiteks sagedus, energiatarve jms.). Tehnoloogia sidumise käigus valitakse loogikataseme sünteesi tulemusena saadud loogikalülide skeemile sobivad põhielemendid, et realiseerida disaini valitud tehnoloogias. Selle tegevusega lõpeb ka sünteesi tsükkel. Saadud elementide asetus võimaldab disaineril juba tuletada mitmeid olulisi disaini parameetreid, nagu näiteks koormustakistus ja

mahtuvus, mida kasutatakse erinevate disaini parameetrite (eelkõige kiiruse) kontrollimiseks. Parameetrite kontrollimine on tänapäevastes allamikronilistes tehnoloogiates üks olulisema tähtsusega samme, kuna ka kõige väiksemad variatsioonid võivad kaasa tuua toote mittevastavuse etteantud spetsifikatsioonile.

Tootmine

Tootmise käigus valmistatakse litograafiliste maskide põhjal alusplaadil² asuvad kristallid. Enne alusplaadist väljalõikamist toimub vigaste kristallide identifitseerimiseks esmane testimine. Terved kristallid pakitakse korpustesse, testitakse veelkord ja valmis kiibid saadetakse klientidele. Neid kiipe on võimalik kasutada juba suuremate süsteemide, nagu näiteks mobiiltelefonide või olmeelektroonika koostamiseks, nagu seda tehakse mitmetes tehastes üle Eesti.

Tänu mikroelektroonika tehnoloogiate viimastele arengutele on ühte kivisse võimalik integreerida üha suuremat arvu transistore ning väga erinevaid funktsioone. Juba täna on turul laiatarbe tooted, mis on toodetud 65 nm tehnoloogias. Sellised arengud võimaldavad integreerida ühele kiibile terve keeruka digitaalsüsteemi ning tekkinud on uus disaini paradigma – kiipsüsteemid (SoC – System-on-Chip). Kiipsüsteemide puhul on ühte ülisuurde integraalskeemi integreeritud väga erinevad funktsionaalsed plokkid (tuumad), nagu näiteks protsessorituumad, mälud, dekodeerid. Lisaks on samale kristallile võimalik paigutada ka analoogelektroonikat, nagu näiteks analoog-digitaalmuundurid jms. Niisugune projekteerimisstiil on toonud endaga kaasa uue mõiste: disainide taaskasutus. Taaskasutuse eesmärgiks on süsteemi loomine n.ö. lego põhimõttel, kasutades varemprojekteeritud ja verifitseeritud disainiosid, vähendades sedasi projekteerimiseks kuluvat aega ning projekti maksumust. Arvestades fakti, et projekteerimise jõudlus (nüü nimetööjõu oskused kui ka projekteerimiseks kasutatav tarkvara võimsus) kasvab aeglasemas tempos, kui tootmistehnoloogiate areng, on disainide taaskasutus sisuliselt ainukene võimalus tagada toodete õigeaegne turule jõudmine.

Verifitseerimine

Disainide keerukuse suur kasv koos tootmisprotsessi miniaturiseerumisega tähendab aga vigade tekkimise tõenäosuse suurt kasvu. Süsteemide töökindluse suurendamiseks kasutatakse kahte erinevat sorti tegevusi: verifitseerimine ja testimine (vt. Joonis 1). Üldlevinud meetod disainide verifitseerimiseks on tänapäeval nende tarkvaraline *simuleerimine* erinevatel abstraktsioonitasemetel. Tarkvaralise simuleerimise korral luuakse disaini mudeli ümber spetsiaalne tarkvaraline testpink, mille abil on võimalik genereerida vajalikud sisendandmete kombinatsioonid ning analüüsida väljundeid. Mõningatel juhtudel kasutatakse simuleerimist ka siis, kui kiibi esimene prototüüp on juba valminud. Kuna keerukate disainide täielik simuleerimine on praktikas võimatu, siis simuleerimispõhine verifitseerimine annab vaid mõningase kindluse disaini korrektsuse osas. Üheks alternatiiviks on kujunemas *formaalne verifitseerimine*, mis kasutab matemaatilisi meetodeid disaini korrektsuse tõestamiseks. Kuna selles

² Nimetatakse ka vahvliks (wafer) oma regulaarse struktuuri ja ümmarguse kuju pärast.

valdkonnas vajalikud töövahendid aga praktiliselt puuduvad, siis formaalne verifitseerimine, välja arvatud mõningad spetsiifilised meetodid nagu sarnasuse kontroll, ei ole seni saavutanud laiemat populaarsust.

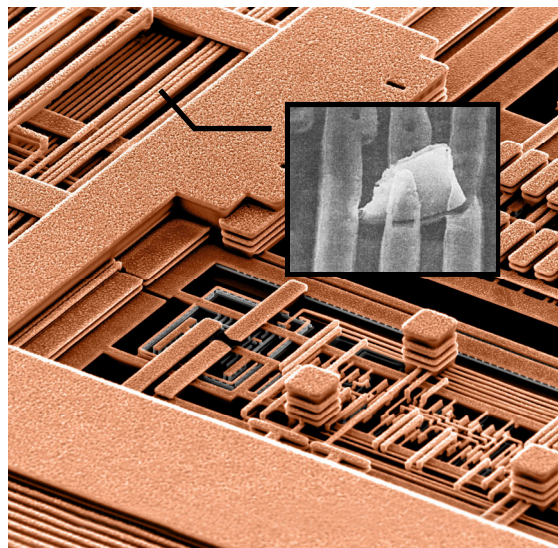
Testimine

Testimine kontrollib, et tehases toodetud kiip täidab neid funktsioone, milleks ta on ette nähtud. Testimise eesmärgiks ei ole kontrollida disaini korrektsust; vastupidi, testimisega kontrollitakse tootmisprotsessi korrektsust. Seda teostatakse juba toodetud kiipidel või kividel, kasutades testvektoreid, mis on genereeritud eesmärgiga tõestada vigade puudumist tootes. Samamoodi on testimist võimalik kasutada toote hilisema eluea jooksul, et avastada vigu, mis on tekkinud keskkonna, vananemise või teiste faktorite tõttu.

Üheks vigade põhjustajad on erinevad defektid, nagu näiteks osakesed, mis tekitavad lühiseid (vt. joonis 2), ebaõiged ühenduste vahelised kaugused, materjalide ebapuhtus jmt. Tüüpiline 200 mm alusplaat 0,25 µm tehnoloogias sisaldab plaadi mõlemal teljel sadu tuhandeid geomeetrisi elemente (tüüpiliselt riskülikulised kujundid, mida kasutatakse transistoride ja nende vaheliste ühenduste loomiseks). See tähendab, et iga alusplaadi kihil on miljardeid geomeetrisi elemente. Mõningad aastad tagasi oli kiipidel kuus metalli kihti ning litograafiliste maskide koguarv küündis üle 20. Tänapäevaste 90 nm ja 65 nm tehnoloogiate puhul on metallikihtide arv aga tõusnud seitsmeni ning alusplaatide läbimõõt suurenenud 300 millimeetriteni. Kuna defektid võivad esineda igas geomeetrisis elemendis ja igal kihil, siis on võimalike defektide arv tohutu. Lisaks sellele toimub kiipide tootmine mitmeastmelise protsessina, kus igal sammul võivad tekkida erinevad defektid. Kõigest sellest johtuvalt on ka defektide leidmiseks vajalik testimine ülekeeruline protsess.

Keerukate arvutisüsteemide alane uurimistöö Tallinna Tehnikaülikoolis

Tallinna Tehnikaülikooli arvutitehnika instituut (ATI)³ tekkis oma tänasel kujul 1992. aastal, kuid selle eelkäija loodi elektronarvutite kateedri näol juba 1967. aastal. ATI teadustöö põhisuundadeks on olnud keerukate digitaalsüsteemide projekteerimine, diagnostika ja testimine, kus on saavutatud rahvusvaheliselt kõrge tunnustuse saanud teadustulemusi. Selle eelduseks on olnud nii kvalifitseeritud teadustöötajate kui ka vajaliku laboratoorse baasi olemasolu. Nendes valdkondades on see viimane tihtipeale nähtamatu. Millestki erilisest annavad aimu vaid spetsiaalses jahedas ruumis mühisevad võimsad serverid. Põhjus on tänapäevaste digitaalsüsteemide ülisuures keerukuses – süsteemide loomine ja analüüs on võimalik vaid spetsiaalse projekteerimise ehk CAD tarkvaraga (CAD – Computer Aided Design). CAD tarkvara nõuab suurt arvutusvõimsust ja sedasi jääbki kaasaegse arvutiinseneri lauale vaid tavalisele kontoriarvutile sarnanev riistapuu, millel küljes keskmisest suurem ekraan. Kõik ülejäänud toimub kõrvaliste pilkude eest varjus olevates serverites.



Joonis 2. Vaade kiipi sisemusse koos näitega ühendusi lühistavast defektist (väikeses aknas).

CAD tarkvara ei ole lihtne ja ta ei ole ka odav. Kui tavaline kontoritarkvara maksab tuhandeid kroone ning tarkvara arenduseks kasutatavad arendussüsteemid kümneid või sadu tuhandeid kroone, siis riistvara loomiseks kasutatav CAD tarkvara maksab kümneid või sadu tuhandeid USA dollareid. Tavalisele ülikoolile oleks sellise tarkvara omandamine võimatu, kui ei oleks Euroopa Liidu poolt ellu kutsutud initsiatiivi EUROPRACTICE⁴, mille eesmärgiks on vahendada CAD tarkvara akadeemilistele asutustele oluliselt soodsamatel tingimustel (suuresti tänu vastava valdkonna tööstuse vastutulelikkusele, mis on mõistnud järeelkasvu koolitamise toetamise vajalikkust) ning alates 1993. aastast on ATI olnud EUROPRACTICE'i ja selle eelkäija EUROCHIP täieõiguslik liige (olles üks esimesi institutsioone Kesk- ja Ida Euroopast, mis selle organisatsiooni liikmeks võeti). Hetkel on ATI's esindatud kõigi kolme suurima CAD tarkvara tootja (Cadence, Synopsys ja Mentor Graphics) projekteerimissüsteemid ning tänu EUROPRACTICE'i uuendus- ja hoolduspoliitikale on saadaval alati tarkvara viimane versioon, mis on võrdväärne samal ajal tööstuses kasutatavaga. Disainivoogu täielikult katvad programmid võimaldavad nii teadlastel kui ka tudengitel töötada digitaalsüsteemide projekteerimise kõikide etappidega. Seda tarkvara kasutataksegi näiteks väga aktiivselt ATI teadurite ja õppejõudude poolt loetavates kursustes, nii bakalaureuse-, magistri- kui ka doktoriõppe valdkondades. Sisuliselt on igal tudengil võimalik oma idee ränise kompileerida, sellest väliprogrammeeritava loogikal (FPGA) põhinev prototüüp luua ning seejärel kiip valmistada. Selline keskkond võimaldab TTÜ tudengitel omandada Lääne-Euroopa inseneride tasemele vastavat haridust ja treenitust, aga samuti kujutab endast tehnilist baasi nii inseneri- kui ka teadustegevuse toetamiseks Eestis kaasaegse elektroonika projekteerimisel. On loodud eeldused nii euroinseneride koolituseks kui ka väikeettevõtete arendustegevuse toetuseks elektroonika disaini valdkonnas. Oluline on siinkohal märkida, et tänu sellisele tarkvarakeskkonnale valmis 1997. aastal ATIs Jüri Põldre eestvedamisel Eesti esimene ülisuur integraalskeem, mis

³ <http://ati.ttu.ee/>

⁴ <http://www.europpractice.com/>



Joonis 3. CAD projekteerimistarkvara töökoht.

jõudis ka prototüüpootmiseni. Tegemist oli andmevahetuse krüpteerimiseks mõeldud kiibiga, mille keerukus vastas Intel 386 protsessorile.

Rahvusvaheline koostöö

Lisaks inimestele ja arvutitele on tänapäeva maailmas edukuse üheks eelduseks ka koostöö. Eriti selliselt kiiresti arenevas valdkonnas, nagu seda on infotehnoloogia. ATI teadlastel on aja jooksul välja kujunenud aktiivne koostöö rohkem kui 40 teadusasutusega Lääne-Euroopas ja USAs. ATI tudengid on olnud külalistudengiteks sellistes Euroopa mikroelektronika alase teadustöö kantsides nagu Grenoble, Darmstadt, Dresden, Kista (Stockholm) jpt. On osaletud kümnekonnas teadusprojektis, mida on finantseeritud läbi Euroopa Liidu programmide TEMPUS, COPERNICUS, PECO, ESPRIT, FP5 ja FP6. Nende projektide raames on välja kujundatud mastaapne rahvusvaheline koostöö erinevate uurimisgruppidega nii Lääne- kui ka Ida Euroopas, olles seejuures liidriks paljude alamprojektide ja ühisuuringute läbiviimisel. Koostööpartneritest võib näiteks tuua Kuningliku Tehnoloogiaülikooli ja Linköpingi Ülikooli Rootsist, Darmstadti ja Ilmenau Tehnikaülikoolid Saksamaalt, Warssavi Tehnoloogiainstituudi Poolast, TIMA Laboratooriumi Prantsusmaalt, Fraunhoferi Instituudi Saksamaalt, Slovakkia Teaduste Akadeemia Informaatikainstituudi jmt. Koostöö edukust ja ulatust illustreerib ilmekalt viimase 3 aasta jooksul 28 teadlasega 11 riigist (USA, Prantsusmaa, Saksamaa, Rootsi, Taani, Poola, Slovakkia, Bulgaaria, Ukraina, Venemaa ja Valgevene) kirjutatud 38 ühisartiklit eelretsenseeritavates väljaannetes.

Eesti sisene koostöö

Hiljuti lõppenud EL-i FP5 projekti EViking II raames toimus ATI teadlaste koostöö Eesti firmadega Artec Design, Ericsson Eesti, AS Cybernetica, jt. Arvutitehnika instituut on üheks partneriks tehnoloogia arenduskeskuse ELIKO⁵ tegevuses, mida rahastatakse läbi Ettevõtluse Arendamise Sihtasutuse (EAS). Hiljuti oldi edukad EASi koordineeritavas teaduse infrastruktuuri uuendamise programmis, mille tulemusena peaks aastaks 2008 TTÜs valmima uudne

sardsüsteemide uurimise keskkond. Nimetatud labori loomine toimub koostöös TTÜ elektroonika instituudi teadlastega.

ATI teadlaste baasil moodustati ka üks TTÜ tippkeskusi ning täna kuulatakse Haridus- ja Teadusministeeriumi teaduse tippkeskusesse „Töökindlate Arvutisüsteemide Uurimise Keskus” (CDC), mille raames toimub koostöö Tartu Ülikooli ja TTÜ Küberneetika instituudi teadlastega Eesti ulatuses.

Teadustemaatika aktuaalsus

Eelpool nimetatud koostöö ja üles ehitatud tipptasemel laboratoorne keskkond on loonud vajalikud eeldused edukaks teadustööks. Oleme saavutanud uusi teadustulemusi, mis võimaldavad tõsta digitaalsüsteemide projekteerimise efektiivsust, kvaliteeti ja veakindlust. Diagnostika ja veakindlus on täna ja veel enam homme võtmeprobleemiks konkurentsivõime tagamisel süsteemide projekteerimisel ja valmistamisel. Uurimisgrupi põhitulemused on seotud isetestivate süsteemide projekteerimisega ja efektiivsete testisünteesi ning -analüüsi meetodite väljatöötamisega ja automatiseerimisega. Kui klassikaliselt tuleb testimiseks süsteem ühendada spetsiaalse riistvaraga, mida nimetatakse testriks, siis isetestivad süsteemid suudavad ise aru saada, kas nad on vigased või mitte. Eriti oluline on selline omadus näiteks telekommunikatsioonisüsteemides, sest keset põlde asuva mobiilside tugijaama juurde oleks testimiseks vajalike seadmete kohale vedamine piisavalt tülikas, et mitte öelda võimatu. Selle asemel teostavad need seadmed perioodilisi eneseteste ja vaid rikke ilmnemisel saadavad nad välja veateade ning masti juurde tuleb saata remondibrigaad. Testimine ise on aga ülikeeruline protsess. Seetõttu tuleb seda teha niivõrd optimaalselt (parima kvaliteediga ja lühima ajaga), kui vähegi võimalik. Testimine ise toimib mingi kindla algoritmi alusel ja seda protsessi, kus antud süsteemile genereeritakse sobivad algoritmid, testjaded või testprogrammid nimetatakse testisünteesiks. Selles valdkonnas on ATI teadlastel väga suured kogemused ja ette on näidata laia rahvusvahelist kõlapinda saanud tulemused. Nende tulemuste aluseks on uudne otsustusdiagrammidel põhinev graafiteooria digitaalsüsteemide diagnostiliseks modelleerimiseks, mis erinevalt klassikalistest meetoditest on üldisem ja võimaldab tehnoloogia kiiret muutumist silmas pidades välja töötada ajalises mõttes püsivamaid ning universaalsemaid modelleerimise ja diagnostika meetodeid. Saavutatud teadustulemusi kasutades on väljatöötatud diagnostikatarkvara TURBO TESTER⁶, mis on ülemaailmselt väga populaarseks muutunud.

Kõige olulisemaks uurimis- ja arendustöö tulemuseks töögrupi pikemat arenguperspektiivi silmas pidades tuleks lugeda paljude projektide tulemusena ülesehitatud eksperimentaaluuringute keskkonda, mida iseloomustab:

- digitaalsüsteemide disaini ja testi tarkvaraga toetatud uurimisobjektide matemaatiliste mudelite, uurimistasandite ning analüüsi- ja sünteesimeetodite varieeruvus, mis võimaldab kergesti formuleerida uusi probleeme ning lahendusideede katsetamiseks operatiivselt kombineerida erinevaid eksperimentaaluuringute stsenaariume;

⁵ <http://www.eliko.ee/>

⁶ <http://www.pld.ttu.ee/tt/>

- keskkonna virtuaalsus e. tarkvara distantkasutuse võimalus, mis teeb keskkonna atraktiivseks ka välispartneritele ja mille tõttu on paljude aktiivsete koperatsioonisidemete taustal arvutitehnika instituudist kujunenud hästi tuntud rahvusvaheline keskus digitaalsidaini ja -diagnostika valdkonnas.

Uurimistulemusi arvutisüsteemide sünteesi, modelleerimise ja analüüsi vallas

Mikroelektronika tormiline areng, st. üha suurenev transistoride arv kristallil, on toonud kaasa vajaduse projekteerimise automatiseerimiseks, sest vastasel korral võtaks mikroskeemi projekteerimine üha rohkem ja rohkem aega. Suurema arvu projekteerijate rakendamine poleks lahendus, sest esiteks oleks vaja pidevat sünkroniseerimist eri inseneride ja meeskondade vahel, mis aga kahandaks drastiliselt jõudlust. Teiseks poleks nii suurt arvu projekteerijaid lihtsalt kusagilt võtta. Enne eelmise sajandi viimast kümnendit olid edukalt lahendatud ja praktilises projekteerimises rakendatud nii füüsilise kui ka loogikataseme projekteerimise automatiseerimisega seotud probleemid. Oma panuse nende lahendamisse on andnud ka ATI teadlased. Seda eelkõige loogikataseme sünteesi ühe etapi, juhtautomaatide sünteesiga seotud tükeldamisülesannetes. Vajadus tükeldamise järele tulenes mikroelektronika arengust – mida suuremaks skeemid kasvasid, seda keerukamaks muutusid ka algoritmid, mida oli võimalik skeemis realiseerida. Samas kasvas sellega koos eksponentsiaalselt ka projekteerimise keerukus, sest keerukamate algoritmide puhul kasvas ka nende analüüsi maht jõudmaks piisavalt hea realisatsioonini. Algoritmi tükeldamine võimaldab analüüsi keerukust oluliselt kahandada ja seeläbi projekteerimist kiirendada. Seejuures on oluline, et ka tükeldamine ise oleks efektiivne, mis omakorda nõuab sügavat teoreetilist analüüsi ja optimaalseid tükeldamise algoritme.

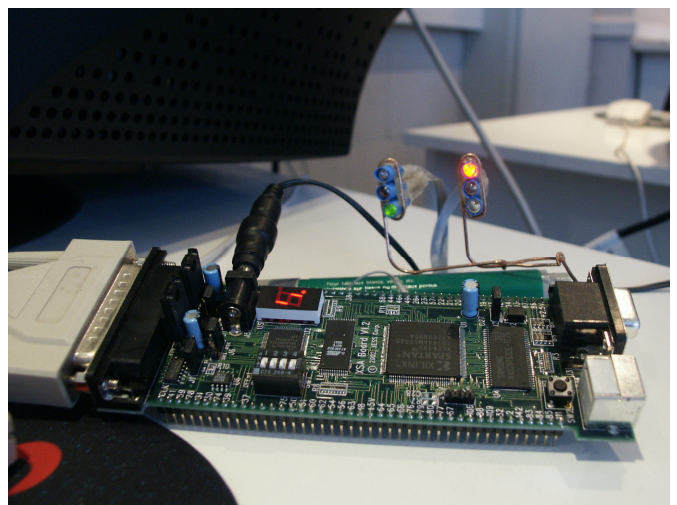
Sajandi lõpuks jõudis ka register-siirete taseme automatiseerimine praktilisse kasutusse. Samas on aga projekteerimise automatiseerimine kogu aeg olnud n.ö. tagaajaja osas ega ole suutnud areneda samas tempos kasvavate tehnoloogiliste võimalustega ning sellega seonduva süsteemide keerukuse kasvuga. Lisaks on suurenenud loogikamaht ja töökiirused otseses konfliktis energiaeraldusega ja skeemisiseste müradega. Kõik see on toonud kaasa olukorra, et nii käitumusliku kui ka süsteemi taseme projekteerimise automatiseerimise areng pole olnud võrreldav madalamate abstraktsioonitasemete omadega. Edusamme on tehtud, st. kasutusel on mitmeid käitumusliku taseme sünteesivahendeid, kuid nad on spetsialiseeritud ja pole nii universaalsed kui madalamate tasemete sünteesivahendid.

Kaasaegsete digitaalsüsteemide projekteerimise kasvava keerukusega kaasneb terve hulk erinevaid probleeme. Üldjoontes on nad kõik seotud vajadusega tuua uus toode võimalikult kiiresti turule, et mitte konkurentsis alla jääda. Olgu märgitud, et mikroskeemi projekteerimise ja valmistamise tsükli pikkuseks on praegu juba 12 kuud. Seetõttu on äärmiselt oluline, et mikroskeemi esimene versioon oleks töökõlblik, st. kõik olulised riistvara komponendid on töökorras ning rakendus- ja süsteemitarvara on mikroskeemi tehastest saabumisel valmis.

Probleemi olulisuse illustreerimiseks võiks tuua fakti, et üle 40% mikroskeemide esimestest versioonidest sisaldavad funktsionaalse loogika vigu⁷. Kõige lihtsam viis funktsionaalsuse kontrolliks on süsteemi tarkvaraline simuleerimine, mida nimetatakse valideerimiseks. Kahjuks ei suuda simuleerimine oma aegluse tõttu tagada õigeaegset korrektsuse kontrolli ja üha rohkem otsitakse võimalusi simuleerimisprotsessi kiirendamiseks.

Väljapääsu nähakse eelkõige emuleerimises (riistvaralises simuleerimises) kasutades väliprogrammeeritavat loogikat (FPGA). Lisaks simuleerimise kiirendamisele on saavutatav ka otsene hinnavõit, sest kiipide valmistamise maksumus järjest kasvab ja seda just kaudsete kulutuste osas, nt. maskikomplekti hinnad järjest tõusevad, samas kui FPGA-de hind pidevalt langeb. Samuti sisaldavad moodsamad FPGA-d lisaks integreeritud mälu moodulitele ka integreeritud protsessorituumi. Samaseid eksperimentaalsüsteeme on loodud mitmeid ja nad on osutunud edukaks. Kahjuks on enamasti tegemist aga mitut FPGA-d sisaldavate keerukate ja kallite süsteemidega, mis teeb nende laialdase kasutamise raskeks, seda eriti just väikefirmade seisukohalt. Kuna ka Eestis on elektroonika projekteerimisega seotud just eelkõige väikefirmad, siis kehtib see ka nende kohta.

Universaalsemate emuleermiskeskondade loomisega koostöös teiste ülikoolidega tegeldakse ka ATIs. Siinkohal on rahvusvaheline ja ülikoolisise koostöö lausa hädavajalik, kuna süsteemide komponente modelleeritakse erinevatel abstraktsioonitasemetel – osad neist on esitatud kui algoritmid mõnes programmeerimiskeeles, osad aga riistvarakirjelduskeeltes skeemidena kas register-siirete või lausa loogika tasemel. Ja loomulikult on võimalikud ka vahepealsed abstraktsioonitasemed. Kõigi nende erinevate abstraktsioonitasemete modelleerimiseks ühtse tervikuna tuleks rakendada nii riist- ja tarkvara koosdisaini, kõrgtaseme sünteesi kui ka FPGA-de riistvaraliste kiirenditena rakendamise meetodikaid. Neist esimese puhul vaadeldakse süsteemi kirjeldust esialgu tervikuna, ilma jagamiseta tark- ja riistvara vahel. Projekteerimise käigus otsustatakse, millised funktsioonid realiseeritakse tarkvaras ja milliste jaoks tuleks projekteerida spetsiaalsed riistvaramoodulid. Loomulikult vajab tarkvara oma tööks protsessorid ja seega oleks



Joonis 4. FPGA arendusplaat

⁷ Aart de Geus (Synopsys, Inc., CEO) ettekne Boston SNUG-il, 9. sept. 2003

riistvara seisukohalt tulemuseks süsteem, mis koosneb erinevatest protsessoritest ja teistest riistvaramoodulitest. Antud teemadel on toimunud pika-ajaline koostöö ATI ning Darmstadt Tehnikaülikooli (Saksamaa) ja Kuningliku Tehnikaülikooli (Stokholm, Rootsi) teadlaste vahel.

Ka kõrgtaseme sünteesi alal on toimunud tihe koostöö Kuningliku Tehnikaülikooli ja ATI vahel. Selle tulemusena on valminud prototüüp-süsteem kõrgtaseme sünteesiks (xTractor), mis on häälestatud eelkõige kontrollvoopõhiste algoritmide realiseerimiseks. Ka FPGA-de kasutamisel riistvaraliste kiirenditena on instituudis saavutatud häid tulemusi. Nii näiteks on ATIs välja töötatud meetodid, algoritmid ja vastav riistvara, mis võimaldavad rikete tarkvaralise simuleerimise asendamist emuleerimisega saavutada mitmekümne- kuni mõnesaja kordset kiiruse võitu. See omakorda lubab läbi analüüsida suuremat hulka erinevaid testimis-strateegiaid ja seeläbi tõsta valminud mikroskeemide testimise usaldatavust.

Uurimistulemusi arvutisüsteemide testide sünteesi ja analüüsi vallas

Testimine on kvaliteedi ja kulutuste ehk raha dilemma. Mida rohkem ja põhjalikumalt testida, seda kindlamalt saaksime garanteerida süsteemi testimise kvaliteeti (usaldusväärsust). Aga testimine tähendab ka kulutusi. Mida rohkem testime, seda rohkem kulutame aega ja ressursse ehk kokkuvõttes raha. Samas, kui testiksime ebapiisavalt, siis riskiksime rikete mitte avastamisega ja vigade avaldumisega süsteemi hilisemas töös, mis lõppkokkuvõttes tuleks trahvide ja kompensatsioonide näol kinni maksta. Teoreetilised arvutused ühe konkreetse mikroprotsessori puhul näitasid, et selle ammandavaks testimiseks läheks vaja 37 (!) aastat. Samas, traditsiooniliselt kulutatakse tööstuses ühe mikroprotsessori testimiseks konveieril vaid umbes 10 sekundit, mis rahuldab praktilisi vajadusi piisavalt.

Tehnilise diagnostika filosoofiliseks põhiküsimuseks on: kui palju testida konkreetset süsteemi olemaks kindel, et see on töökorras. Teoreetiliste uuringute praktilise eesmärgi võib siin eelpool toodud näite valguses formuleerida ka nii: kuidas leida niisugusi teste, mis võimaldaksid testimisaega vähendada 37 aastalt 10 sekundile.

Just niisuguse probleemi lahendamisel on ATIs saavutatud märkimisväärsed tulemusi. Neid iseloomustavad viimase 10 aasta jooksul saadud 10 Euroopa projekti, 8 ETF granti, üle 200 publikatsiooni, üks monograafia, Eesti Vabariigi Teaduspreemia tehnikateaduste alal ning terve rida teaduspreemiaid töös osalenud noorteadlastele.

Uuringute praktilise väljundina on instituudis loodud kolm testide generaatorit – kolm programme süsteemi, mis võimaldavad automaatselt sünteesida antud elektroonikaseadmele testprogramme ja analüüsida viimaste kvaliteeti ning anda hinnangut testimise usaldusväärsusele.

Esimene generaator nimetusega TURBO TESTER on mõeldud “suhteliselt lihtsate” umbes kuni 100 tuhandest loogikaelemendist koosnevate digitaalskeemide jaoks. Generaator on äärmiselt tarbijasõbralik ja seetõttu saanud atraktiivseks ka mujal maailmas, teda on kasutatud rohkem kui 100 ülikoolis või uurimislaboris rohkem kui 30 riigis üle maailma. Atraktiivseks on teinud generaatori ka suur töökiirus, mis ei jää alla äärmiselt kallitele sama tüüpi professionaalsetele tööriistadele. Nii näiteks võrreldi meie

generaatorit ühe rohkem kui 100 000 dollarit maksva professionaalse testi generaatoriga testide sünteesil ühele konkreetsele digitaalskeemile. Kui professionaalne testi generaator vajas 100%-lise rikete katte saavutamiseks 80 sekundit, siis TURBO TESTER saavutas selle sama 80 sekundiga rikete katte 99.99%. Ühele väikesele disainifirmale oleks siin küsimus mõtlemiseks: kas ikka tasuks selle puuduva 0,01% saavutamiseks kulutada 100 tuhat dollarit. Ilmselt oleks otstarbekam laadida võrgust tasuta alla TURBO TESTER ja kulutada 80 sekundist pisut rohkem aega, et saavutada samuti 100%-line testimise kvaliteet.

Teine instituudis välja töötatud programm DECIDER on mõeldud testprogrammide automaatselt sünteesiks väga keerukatele miljonitest loogikaelementidest koosnevatele digitaalsüsteemidele, milleks võivad olla näiteks mikroprotsessorid või koguni arvutid. Taolised programmid rahvusvahelisel turul puuduvad. Neid on vaid üksikutes ülikoolides üle maailma, kes oma saavutatud tulemustega konkureerivad esialgu vaid konverentsidel. Põhjuseks, miks niisugused generaatorid pole jõudnud firmade tootevalikusse, on nende keeruline käsitus ehk tarbijasõbralikkuse puudumine. DECIDER on seniste eksperimentide järgi maailmas üks kiiremaid. Praegu uurime instituudis võimalusi programmi tarbijasõbralikkuse tõstmiseks.

Nimetatud praktiliste tulemuste teoreetiliseks aluseks on instituudis välja töötatud uus spetsiaalne graafiteooria. Neid graafe nimetatakse otsustusdiagrammideks. Seni on matemaatikute huviorbiidis olnud vaid kitsas klass niisugusi graafe – binaarsed otsustusdiagrammid. Instituudis on välja töötatud terve rida arendusi, mis võimaldasid neid graafe kasutada palju efektiivsemalt kui seni digitaalskeemide testimiseks loogikatasemel. Teiselt poolt toodi sellesse graafiteooriasse niisugused uued üldistused, mis võimaldasid formaliseerida testide sünteesi palju kõrgematel tasanditel kui üksnes loogikaskeemid. Niisugusteks tasanditeks oleksid näiteks registersiirete tase või arvutite käsusüsteemide tase. Üldistused andsidki võimaluse luua uue testigeneraatori DECIDERi keeruliste digitaalsüsteemide testimiseks, mis põhineb süsteemide uudsel hierarhilisel käsitlusel üheainsa universaalse graafiteooria baasil.

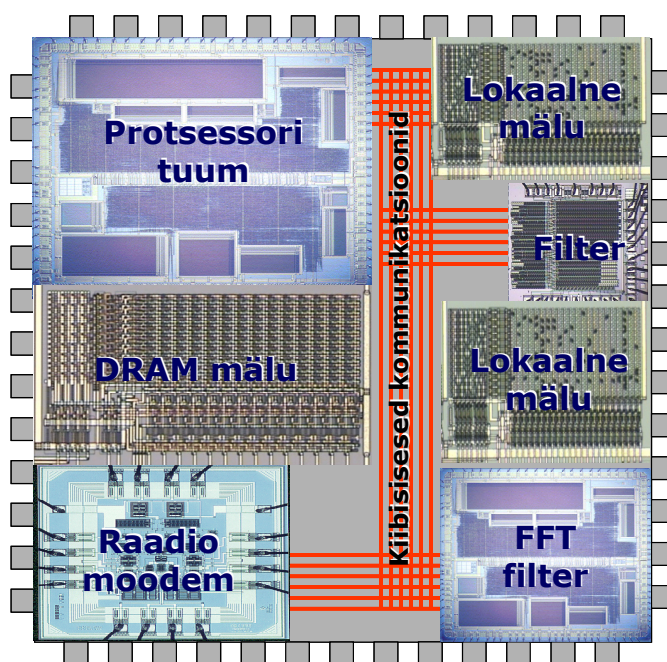
Kõige värskemaks tulemuseks instituudis testide sünteesi ja analüüsi vallas on hiljuti loodud kolmas testisüsteem defekt-orienteeritud testigeneraator DOT, mis andis märkimisväärse panuse teatavast kriisist ülesaamiseks digitaalskeemide testimisel maailmas üldse. Kriisi põhjuseks oli nn. konflikt skeemide keerukuse ja nõutava testimise kvaliteedi vahel. Skeemide suur keerukus nõudis lõivu maksmist täpsuse vähenemisega testimisel. Senised testigeneraatorid modelleerisid rikkeid loogiliste meetoditega, mis aga ei võimaldanud piisavalt täpselt käsitleda reaalseid füüsikalisi defekte. Koos Varssavi Tehnikaülikooli teadlastega, kel oli kogemusi defektide füüsikalisel käsitlemisel, töötasime välja uude hierarhilise lähenemisviisi ja vastavad meetodid defektide loogiliseks modelleerimiseks ka keerulistes skeemides. Nimetatud meetodite baasil töötasimegi välja uude testigeneraatori DOT. Parimaks reklaamiks uuele tööriistale oli eksperiment, kus näitasime, et nn. 100% kvaliteediga testid, mis genereeriti traditsioonilise loogikataseme generaatoriga, andsid üksnes 80%-lise füüsikaliste defektide katte. DOT võimaldas genereerida uued testid, mis andsid juba ka 100%-lise defektide katte. Uue defekt-orienteeritud lähenemisviisi

teoreetiliseks aluseks sai instituudis väljatöötatud uus Boole'i differentsiaalidel põhinev defektide funktsionaalne rikkemudel.

Digitaalsüsteemide veakindlus, usaldusväärsus ja diagnostika

Nagu eelpool mainitud on üha rohkem loomisel kiipsüsteeme (SoC – System on Chip), kus üheleainsale kiibile on integreeritud mitu erinevat süsteemi (näiteks terve arvuti, koos vajalike sisendite ja väljunditega). Selline kiipsüsteemidel põhinev disainiprotsess on väga efektiivne disaineri vaatenurgast, kuna tal on võimalik kasutada juba eelnevalt projekteeritud standardseid komponente, kuid testimine on väga keeruline ning aeganõudev ülesanne, eeskätt süsteemide keerukuse ja elementide tiheduse tõttu. On vaja lahendada mitmeid ülesandeid, nagu testide genereerimine, testimistulemuste analüüs, testide transport kiibini ja kiibi sees, testitavuse analüüs. Mitmeid neid probleeme saab kergemini lahendada kasutades isetestimise (BIST – Built-In Self-Test) meetodeid. Isetestimise korral ei ole vaja kasutada ülikalleid teste, millede hind küündib mitme miljoni USA dollarini ja võib piirduda odavamatega või nendest üldse loobuda. BISTi korral ehitatakse kiibi sisse spetsiaalsed teststruktuurid, kuid seoses kiibi sisemise pindala piiratusega peavad need struktuurid olema suhteliselt lihtsad. Klassikaliselt kasutatakse selleks lineaarse tagasisidega nihkeregistreid, mis toodavad pseudojuhuslikke vektoreid ning mis on võimelised pika vastuste jada kokku pakkima lihtsasse signatuuri. Kuigi BIST on väga lootustandev tehnoloogia, on sellelgi omad puudused, nagu näiteks pikad testjad ja võimetus avastada juhuslike vektorite poolt raskesti testitavaid rikkeid. Seetõttu on arendatud mitmeid meetodeid, kus pseudojuhuslikku testjada täiendatakse mälus hoitavate deterministlike testvektoritega “raskesti testitavate” rikete avastamiseks. Niisugust kombineeritud lähenemisviisi nimetatakse *hübriidseks isetestimiseks* ja selles valdkonnas on arvutitehnika instituut koostöös Linköpingi Ülikooli teadlastega välja pakkunud mitmeid uudeid lähenemisi. Kuna kiipsüsteemid koosnevad aga väga erinevatest tuumadest, kus iga tuuma puhul on võimalikud erinevad testimise lahendused: igal tuumal võivad olla oma BIST struktuurid, aga need võivad olla ka jaotatud mitme tuuma vahel; tuumade testimine võib toimuda paralleelselt, järjestikku, või paralleel-järjestikulisel viisil. Pseudojuhuslik ja deterministlik testimine võidakse tuumades läbi viia ühtsel moel (kasutades jaotatud ressursse, testides tuumasid paralleelselt või järjestikku) või igas tuumas eri viisil. Valitud strateegia võib mõjutada erinevalt nii testi pikkust, selle kvaliteeti (rikete katet), testimise aega, energiatarvet või mälukulu. Sõltuvalt objekti kasutusvaldkonnast esineb siin mitmeid optimeerimisülesandeid, mis kõik on väga keerukad, ega oma lihtsaid lahendusi. Kirjandusest on teada mõningaid lahendusi kombinatsiooniskeemide klassi jaoks, järjestiktuumade (e. mäluga skeemide) jaoks nimetatud probleeme pole uuritud. Viimase aja uurimistö ATIs ongi põhitähelepanu pööratud just kompleksse optimeerimismetoodika väljatöötamisele, kus mitmeid eesmärke saaks käsitleda samaaegselt.

Eelpool nimetatud probleemide uurimiseks ja potentsiaalsete lahenduste hindamiseks on vajalikud võimsad



Joonis 5. Kiipsüsteem (System-on-Chip)

testide genereerimise ja rikete simuleerimise tööriistad. Olemasolev professionaalne CAD tarkvara oma keerukuse, liigse universaalsuse ja vähesese paindlikkuse tõttu on tihti vähesobilik kasutamiseks iteratiivsetes optimeerimisprotseduurides. Hoopis sobivamaks on osutunud aga TTÜ-s rajatud diagnostika multifunktsionaalne tarkvaratööriistade keskkond, kus tööriistu on kerge kombineerida ja ühendada eri uurimisstsenaariumide läbiviimiseks. Keskkond on osutunud äärmiselt töövilmseliseks ja produktiivseks seniste ühisuuringute läbiviimisel Linköpingi Ülikooliga Rootsis ja Fraunhoferi Instituudiga Saksamaal. Tarkvara produktiivsus võrreldes parimate professionaalsete tööriistadega, efektiivsus ja kasutamislisus on teinud ta väga atraktiivseks keerukate iteratiivsete eksperimentide korraldamisel koostöös väliseadlastega. Töö iseloomust tingitud uute funktsioonide lisamine töökeskkonda on uurimistöö positiivseks kõrvaleffektiks, millest saab otsesene panus järgnevate aastate uurimistöö edukusele.

Lähiaastate teadustöö põhilised eesmärgid

Nagu ITRS ja mitmed teised autorid on kirjeldanud, ei saa nanomeetriliste kiipsüsteemide tootmisprotsess olla majanduslikult tasuv, kui nõuda, et toodetud süsteemi kõik transistorid oleksid töökorras. Lisaks sellele on submikron tehnoloogiad ka väga vastuvõtlikud dünaamilistele ühekordsetele riketele, mis on põhjustatud elektromagnetilisest kiirgusest ning kosmilistest osakeste poolt põhjustatud ebapüsivatele riketele. Seoses voolutiheduse ja välja kasvuga esineb ka rohkem materjalide stressist tulenevaid kulumisrikkeid. Seetõttu võib öelda, et tulevikus on esmatähtis disaini- ja testimistehnoloogiate arendamine, mis tagaksid loodavate süsteemide veakindluse ja korrektsuse isegi siis, kui selle süsteemi loomiseks kasutatav riistvara ei ole veakindel.

Ülisuurte kiipsüsteemide juures on probleemiks kujunemas ka tuumasid ühendava kommunikatsiooni infrastruktuuri väljatöötamine. Et vältida sellest tulenevaid probleeme peab tuleviku kiipsüsteemide kommunikatsiooni arhitektuur olema samuti modulaarne ja skaleeritav. Seetõttu on tuumadevaheliste ühenduste realiseerimisel üha sagedamini kasutatud uut nn. kiipvõrkude (NoC – Network-on-Chip) ideoloogiat. Taoliste süsteemide testimisel esinevad kõik samad probleemid, mis esinevad moodsate nanomeetriliste kiipsüsteemide juures, kuid lisanduvad uued probleemid, nagu näiteks pikenenud juhtmestik, mis on eriti tundlik häiretele ja ajalistele vigadele. Suurte kiipvõrkude puhul peab seetõttu kasutama täiendavaid testimise meetodeid. Seetõttu võib välja tuua järgnevad lähiaastate teadustöö põhilised eesmärgid: uudsete meetodite ja algoritmide loomine kiipvõrkude testimiseks ning uudsete kiipvõrkude arhitektuuride loomine, mida saaks edukalt kasutada nii testimiseks, kui ka veakindluse tagamiseks. TTÜ ja Linköpingi Ülikooli vaheline koostöö on juba andnud mitmeid huvitavaid tulemusi hübriidse isetestitavuse valdkonnas ning avanud uusi huvitavaid potentsiaalseid edasiarendusvõimalusi. Näiteks tuleks välja arendada keskkond, kus süsteemi optimeerimisel saaks arvestada rohkem, kui ühe piiranguga. Probleemide hulka võib siin vaadelda mitmedimensionaalsena, kus koordinaatideks on erinevad isetestimise arhitektuurid, hulk erinevaid disainikriteeriume nagu kvaliteet, testi pikkus, testimise aeg, mälu maksumus, võimsustarve, aparatuurikulu jne. Kirjeldamaks potentsiaalset uurimisvaldkonda võimalikult üldiselt, oleme seadnud ülesandeks optimeerida erinevaid hübriid-isetestimise arhitektuure erinevate kriteeriumide järgi erinevate kitsenduste juures, vastavalt sellele millised rakenduseesmärgid on olulisemad projekteeritava süsteemi juures: odavus, mobiilsus (madal energiakulu), töökindlus, töökiirus jne. Formuleeritud ülesanded selles mitmedimensionaalses ruumis on täielikult uued, kuna hübriid-isetestimise probleemiasetus ise on uus: üldine teooria puudub. Probleemid ise aga on keerulised, kuid kogu tööplan ise kujutab endast rikkalikku uuritavate probleemide ja rohkete võimaluste portfelli.

Kiipvõrkude valdkonnas on plaanis sama kommunikatsioonivõrgustiku kasutamine nii töö- kui ka testirežiimis. Moodsad kiipsüsteemid põhinevad tavaliselt siimilaadsele (nagu AMBA või põhiplaad) struktuurile, kus testvektorite transpordiks on täiendav juhtmestik. Sellised arhitektuurid ei suuda aga tagada moodsate kiipsüsteemide jaoks vajalikku ribalaiust ja latentsust. Meie töö eesmärgiks oleks olemasolevate kiipvõrkude sellised edasiarendused, mis lubaksid kasutada olemasolevat juhtmestikku ka testvektorite transpordiks. See eeldab aga disaini (sünteesi) ja testimise ülesannete kompleksset käsitlemist ja mitmete keerukate ülesannete, nagu vajaliku infrastruktuuri sünteesi, optimeerimise ja testigeneraatorite loomise süsteemset lahendamist. Loodav infrastruktuur luuakse selline, et süsteemi testimisel oleks võimalik kasutada hübriid-isetestimise meetodeid.

Iseparandamine (BISR - Built-In Self-Repair) on levinud nii mälukiipide kui ka väliprogrammeeritava loogika (FPGA) juures. Kuna kiipvõrgud on oma olemuselt mitmeti sarnased FPGA-dega, siis meie plaanides on uurida ka BISR meetodite rakendamist kiipvõrkudele. Kuna mitmetuumalised süsteemid saavad sisaldada dubleerivat riistvara, siis

võimaldab see ka teostada jooksvat iseparandust. Olulisteks ülesanneteks on siinkohal vigade avastamise ja jooksvate paranduste strateegiate väljatöötamine, sest hetkel ei ole veel võimalik luua veakindlaid süsteeme, mis põhineksid mitte-veakindlal riistvaral.

Lähiaastate ülesandeks on ka uudsete verifitseerimismeetodite väljatöötamine sardsüsteemidele hiljuti käivitunud VI Raamprogrammi projekti VERTIGO raames. VERTIGO projekt käivitus koostöös kolme väljapaistva uurimisgrupiga Southamptoni, Verona ja Linköpingi ülikoolidest ning kahe mikroelektronika tööstuse tippfirma, Euroopa suurima kiibitootja, ST Microelectronics ja Transeda/Valiosys'ga. ATI roll projektis seisneb otsustusdiagrammidel põhinevate verifitseerimismeetodite loomisel ja uurimisel.

Kokkuvõte

ATIs läbi viidud uurimuste teaduslik tähtsus seisneb uute kontseptsioonide, meetodite, algoritmide ja tarkvara väljatöötamises digitaalsüsteemide projekteerimise ja diagnostika automatiseerimiseks. Välja töötatud meetodite suuremat efektiivsust senituntud meetoditega võrreldes on demonstreeritud eksperimentide abil, kasutades rahvusvaheliselt tunnustatud näidisobjekte ehk benchmark-skeeme.

ATI teadustulemusi on konverentsidel hinnatud “Best Paper Award” tunnustusega, meie teadlasi on kutsutud esinema plenaarettekannetega ning pidama loengutsükleid paqljudel konverentsidel, seminaridel ja tutorialidel. ATI õppejõud ja teadurid on pidanud regulaarselt loenguid ja kursusi paljudes Euroopa ülikoolides.

Rahvusvaheliseks tunnustuseks uurimisgrupile oli konkursi võitmine 7 riigi hulgas maailma tippkonverentsi “European Test Symposium” korraldamiseks 2005. aastal Tallinnas. Lisaks sellele korraldati samal aastal Tallinnas veel teinegi ülemaailmne üritus “European Board Test Workshop”. Uurimisgrupi initsiatiivil käivitati uus rahvusvaheliste konverentside seeria „East-West Design and Test Workshop”, mis sai kiiresti kõrge rahvusvahelise tunnustuse. Samuti on uurimisgrupp organiseerinud Tallinnas Põhjamaade mikroelektronika valdkonna tippkonverentsi NORCHIP ning on kandideerimas selle toomiseks uuesti Eestisse.

Üheks oluliseks uurimistöo väljundiks on olnud teadustulemuste juurutamine õppeprotsessi vastavate innovaatiliste õppevahendite või laboris kasutatavate uurimistöo vahendite väljatöötamise näol. Oma laboritöodes, kursuse- ja lõputööprojektides õpivad tudengid projekteerima keerulisi süsteeme ja kasutama selleks vajalikku professionaalset eritarkvara. Samuti õpivad nad omaenda loodud süsteeme ka testimise ja diagnoosimise. Niisuguste oskustega diplomeeritud insener on tänapäeval otsitud tööjõud suvalises elektroonikat projekteerivas firmas kas Eestis või mujal maailmas.